

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月15日

出 願 番 号

Application Number:

特願2000-348477

出 願 人

Applicant(s):

シャープ株式会社

2001年 9月14日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3085298

【書類名】 特許願

【整理番号】 00J04479

【提出日】 平成12年11月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/316  
H01L 21/3205  
H01L 21/768

【発明の名称】 アッシング方法

【請求項の数】 4

【発明者】  
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 西田 貴信

【特許出願人】  
【識別番号】 000005049  
【氏名又は名称】 シャープ株式会社

【代理人】  
【識別番号】 100065248  
【弁理士】  
【氏名又は名称】 野河 信太郎  
【電話番号】 06-6365-0718

【手数料の表示】  
【予納台帳番号】 014203  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9003084

特 2 0 0 0 - 3 4 8 4 7 7

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アッシング方法

【特許請求の範囲】

【請求項 1】 絶縁膜を介して形成されたレジストマスクを有する基板をアッシング装置のチャンバ内に保持し、R F 電力を印加してチャンバー内に導入した酸素原子を含有するガスを活性化させるとともに、前記基板側に R F 電力を印加して前記レジストマスクのアッシングを行うことを特徴とするアッシング方法。

【請求項 2】 基板側に印加される R F 電力 ( $W_b$ ) を一定以上に制御する請求項 1 に記載のアッシング方法。

【請求項 3】 酸素原子を含有するガスを活性化するための R F 電力 ( $W_s$ ) と基板側に印加される R F 電力 ( $W_b$ ) との比 ( $W_s / W_b$ ) を一定以下に制御する請求項 1 に記載のアッシング方法。

【請求項 4】 基板が電極上に保持され、該電極を 20℃ 程度以下に設定する請求項 1 ～ 3 に記載のアッシング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はアッシング方法に関するものであり、より詳しくは、層間絶縁膜として低誘電率膜を介して形成されたレジストをアッシングする際に層間絶縁膜の膜質の変化を低減することができるアッシング方法に関するものである。

【0002】

【従来の技術】

近年の半導体装置の微細化にしたがい、半導体装置における配線間容量が増大し、これに伴う信号遅延が重要な問題となっている。

【0003】

配線間容量を低減する方法として、例えば、配線層間に使用する層間絶縁膜に低誘電率膜を採用する方法がある。

【0004】

しかし、低誘電率膜は、アッシング等のプラズマに曝されると膜質が変化しやすい。例えば、低誘電率膜からなる層間絶縁膜上にホールエッチ等を行うために形成されたレジストパターンをアッシング処理により除去する場合、層間絶縁膜の誘電率を低減する源である膜中の  $\text{Si}-\text{H}$  結合や  $\text{Si}-\text{CH}_3$  結合が、アッシング中に切断され、その部分に  $\text{Si}-\text{OH}$  結合が生じる。このような膜質の変化により、誘電率が上昇したり、ホール抵抗が上昇し、さらには配線容量の増大、信号遅延を招き、デバイスの性能が劣化する。

## 【 0 0 0 5 】

そこで、層間絶縁膜において、アッシング処理による誘電率の上昇を抑制する種々の方法がある。

## 【 0 0 0 6 】

例えば、特開 2 0 0 0 - 7 7 4 1 0 号公報では、枚葉式アッシング装置において、低誘電率膜上に形成されたレジストマスクをアッシングによって除去する場合に、アッシング中の圧力を適切な範囲に制御してイオン主体のアッシング処置とする方法が提案されている。

## 【 0 0 0 7 】

また、特開平 1 1 - 8 7 3 3 2 号公報には、 $\text{O}_2$  アッシング処理中に  $\text{Si}-\text{H}$  結合や  $\text{Si}-\text{CH}_3$  結合が切断されても、引き続き  $\text{H}_2$  プラズマ中に曝すことによって、切断された  $\text{Si}-\text{H}$  結合を復活させる等の方法が提案されている。

## 【 0 0 0 8 】

## 【発明が解決しようとする課題】

しかし、圧力制御主体のアッシング処理方法では、イオン化エネルギー制御に上限があるため、必要なイオン化エネルギーが圧力制御では得られないことがあり、低誘電率膜の種類によっては誘電率上昇の抑制が十分できないことがある。

## 【 0 0 0 9 】

また、 $\text{O}_2$  アッシング処理後に  $\text{H}_2$  プラズマ中に曝す方法では、 $\text{H}_2$  プラズマ中に曝す工程が追加されるため、処理時間が延長され、製造コストの増大を招くことになる。

## 【 0 0 1 0 】

本発明は上記課題に鑑みなされたものであり、製造コストの増大を招くことなく、低誘電率膜の誘電率の上昇を効率的に抑制することができるアッシング方法を提供することを目的とする。

#### 【 0 0 1 1 】

##### 【課題を解決するための手段】

本発明によれば、絶縁膜を介して形成されたレジストマスクを有する基板をアッシング装置のチャンバ内に保持し、R F電力を印加してチャンバー内に導入した酸素原子を含有するガスを活性化させるとともに、前記基板側にもR F電力を印加して前記レジストマスクのアッシングを行うアッシング方法が提供される。

#### 【 0 0 1 2 】

##### 【発明の実施の形態】

本発明のアッシング方法は、基板上に少なくとも絶縁膜を介して形成されたレジストマスクを除去するために行われる方法である。

#### 【 0 0 1 3 】

本発明の方法で利用できる基板としては、通常、半導体装置を製造するために使用されるすべての基板があげられ、ガラス基板、プラスチック基板、半導体基板、半導体ウェハ等が挙げられる。具体的には、元素半導体（シリコン、ゲルマニウム等）基板、化合物半導体（GaAs、ZnSe、シリコンゲルマニウム等）基板等の種々の基板、SOI、SOS等の基板、元素半導体ウェハ（シリコン等）、石英基板、プラスチック（ポリエチレン、ポリスチレン、ポリイミド等）等が挙げられる。なお、この基板上には、トランジスタ、キャパシタ、抵抗等の素子、これらを含む回路、層間絶縁膜、配線層等が形成されていてもよい。

#### 【 0 0 1 4 】

基板上に形成される絶縁膜としては、通常、層間絶縁膜として形成されるものが挙げられ、特に低誘電率膜であることが好ましい。ここで低誘電率とは、例えば、誘電率が3.5程度以下のものが挙げられる。具体的には、シリコン窒化膜又は、CVD法で形成するSiO<sub>2</sub>膜、SiOF系膜、SiOC系膜もしくはCF系膜又は塗布で形成するHSQ（hydrogen silsesquioxane）系膜（無機系）、MSQ（methyl silsesquioxane）系膜、PAE（polyarylene ether）系膜、

B C B 系膜、ポーラス系膜もしくは C F 系膜又は多孔質膜等が挙げられる。この絶縁膜の膜厚は特に限定されるものではなく、例えば、4 0 0 0 ~ 1 0 0 0 0 Å 程度が挙げられる。

## 【 0 0 1 5 】

レジストマスクは、半導体プロセスの分野で通常使用されているレジストによって形成されるものの全てが含まれ、例えば、電子線用又は X 線用のネガ型レジスト（環化シスー 1，4 - ポリイソプレン、ポリ桂皮酸ビニル等）又はポジ型レジスト（ノボラック系）、遠紫外線（deep - U V）レジスト（ポリメチルメタクリレート、t - B o c 系）、イオンビーム用レジスト等の種々のレジストによるマスクが挙げられる。具体的には、アセタール系レジスト（T D U R - P 0 1 5）、アニリング（T M X - 1 1 9 1 Y）、ハイブリッド系レジスト（S P R 5 5 0）等が挙げられる。レジストマスクの膜厚は特に限定されるものではなく、例えば、7 0 0 0 ~ 9 0 0 0 Å 程度が挙げられる。

## 【 0 0 1 6 】

本発明に使用することができるアッシング装置としては、一般に使用されているアッシング装置であれば、特に限定されるものではなく、導入したガスを活性化、好ましくはプラズマ化するために R F 電力を印加することができるとともに、被エッチング基板側に R F 電力を印加することができるものであれば、円筒型、平行平板型、ヘキサード型、有磁場 R I E 型、有磁場マイクロ波型、マイクロ波型、E C R 型等の種々の形状、原理のものが挙げられる。具体的には、図 1 に示すように、少なくとも真空チャンバーと、真空チャンバー内の下方に形成された下部電極と、真空チャンバー側でガスを活性化するための R F 電力を印加し得る電源と、基板側に R F 電力を印加し得る電源とから構成されるアッシング装置が挙げられる。なお、このような装置においては、真空チャンバの外周に上部電極が形成されていてもよく、あるいはプラズマ生成用のコイル（電磁コイル等）が配置していてもよく、真空チャンバー側でガスを活性化するための R F 電力を印加し得る電源は、真空チャンバにのみ、あるいは真空チャンバと上部電極又はコイル等とに接続されていることが好ましい。また、下部電極は、基板を保持する機構を備えていることが好ましく、さらに、基板温度を制御するための機構を

備えていることが好ましい。基板側に R F 電力を印加し得る電源は、下部電極に接続されていることが好ましい。

## 【 0 0 1 7 】

本発明のアッシング方法は、通常、チャンバ内に酸素原子を含有するガスを導入し、チャンバ等に R F 電力を印加してガスを活性化、例えばプラズマ化させる。導入する酸素原子を有するガスとしては、基板上に形成された絶縁膜（低誘電体膜）の膜質等に悪影響を及ぼさない限り、ほぼ純粋な酸素ガス、オゾンガス、これらの混合ガス、あるいはこれらのガスに  $N_2$  ガス、 $CF_4$  ガス等のガスを添加した混合ガスであってもよい。酸素原子を含有するガスは、例えば、50～500 SCCM 程度、100～250 SCCM 程度で導入することが適当である。

## 【 0 0 1 8 】

チャンバ内に導入したガスを活性化するために印加する R F 電力は、特に限定されるものではないが、上述した導入ガスの種類、量、速度等を考慮すると、1000 W 程度以下、例えば、100～1000 W 程度の範囲が適当である。

## 【 0 0 1 9 】

また、基板側に印加する R F 電力は、好ましくは、基板を保持する下部電極を介して基板に印加されるものであり、上述した導入ガスの種類、量、速度、チャンバ内に導入したガスを活性化するために印加する R F 電力等を考慮すると、150 W 程度以上、200 W 程度以上、250 W 程度以上、250～450 W 程度の範囲が適当である。

## 【 0 0 2 0 】

本発明においては、酸素原子を含有するガスを活性化するための R F 電力 ( $W_s$ ) とウェハ側に印加される R F 電力 ( $W_b$ ) との比 ( $W_s/W_b$ ) を一定以下に制御することが好ましく、例えば、5 程度以下、4 程度以下、0.22～4 程度の範囲であることが適当である。別の観点から述べると、 $W_s/W_b$  は、アッシング前後の絶縁膜の誘電率の変化率が 10 % 程度以下、8 % 程度以下、5 % 程度以下となるように設定することが好ましい。

## 【 0 0 2 1 】

本発明のアッシング方法におけるアッシング処理時間は、上述の条件等に設定



してレジストのアッシングをした場合に、レジストのアッシング残りがほとんどなく、レジスト直下の絶縁膜のオーバーエッチングを最小限にとどめるようにレジストがほぼ完全に除去される程度に設定することが好ましい。具体的には、1.5～5分間程度が挙げられる。

【0022】

なお、本発明においては、上記のように基板が下部電極によって保持されていることが好ましく、アッシング中の下部電極の温度は、50℃程度以下、35℃程度以下、25℃程度以下、20℃程度以下であることが好ましい。なお、基板温度は、例えば、基板を保持する下部電極の温度を上記の温度に設定することにより、実質的に基板自体の温度をほぼ上記温度の近辺に設定することができる。

【0023】

以下に、本発明のアッシング方法を図面に基づいて説明する。

【0024】

この実施の形態のアッシング方法では、図1に示したアッシング装置を用いた。このアッシング装置は、外周にプラズマ生成用コイル1が設けられた真空チャンバー5と、真空チャンバー5内の下方に形成された下部電極3と、これらプラズマ生成用コイル1及び真空チャンバー5に電圧を印加するための電源2と、下部電極3に電圧を印加するための電源6と、下部電極3の温度を制御するためのチラー7とから主として構成される。下部電極3上には被エッチングウェハ4が保持される。

【0025】

半導体ウェハ上に、低誘電率膜であるMSQ系のHOSP (Hydride Organo Siloxane Polymer、誘電率：2.5～2.7)膜を、膜厚400～1000nm程度で層間絶縁膜として塗布形成し、その上にレジスト（例えば、アセタール系レジスト）を700～900nm程度塗布した。レジストに所定形状の開口を形成し、このレジストをマスクにして、層間絶縁膜に半導体ウェハ表面に至るホールを形成した。得られた半導体ウェハを上述のアッシング装置の下部電極3上に保持し、ウェハ上のレジストのアッシングを行った。

【0026】

アッシングは、下部電極（基板）の温度を20℃とし、R I Eモード、酸素ガスを200 SCCMで導入し、圧力200 mT程度とし、電源2のプラズマ生成用R Fパワーを1000 W、電源6のウエハへのイオン引き込みエネルギーを制御するR Fパワーを200 Wに設定し、2.5分間程度行った。

## 【0027】

このようなアッシングにより、レジストをほぼ完全に除去した後の層間絶縁膜のフーリエ変換赤外分光法（F T - I R）波形を測定した。その結果を図2（太線）に示す。なおアッシング処理をする前の同じ層間絶縁膜のF T - I R波形を図2（破線）に併せて示す。

## 【0028】

図2によれば、アッシング前後において、その波形はほとんど変化しておらず、膜質の変化は認められなかった。つまり、S i - H結合等の誘電率を抑制する結合を示す波長のピークの減少は認められず、また、誘電率の上昇を促すH - O H結合を示す波長のピークの増加もほとんど認められなかった。

## 【0029】

つまり、基板側へのR F電力の印加によって、酸素イオンを容易に基板に引き寄せることができ、それによって層間絶縁膜の表面にS i O膜が形成され、この膜が保護膜として機能して、層間絶縁膜の膜質の変化を抑制したものと考えられる。

## 【0030】

また、アッシング条件を、下部電極の温度を20℃とし、電源2のプラズマ生成用R Fパワーを1000 W又は100 W、電源6のウエハへのイオン引き込みエネルギーを制御するR Fパワーを100～450 Wに変更した以外は、上記と同様の条件に設定した場合の層間絶縁膜の誘電率の変化を測定した。その結果を図3に示す。なお、図3中、黒丸は電源2のプラズマ生成用R Fパワーを1000 W、黒四角は100 Wとしたものを示す。

## 【0031】

図3によれば、チャンバ内に導入したガスを活性化するために印加するR F電力が1000 Wの場合、基板側に印加するR F電力を150 W程度以上とするこ

とにより、アッシング前後の絶縁膜の誘電率の変化率が10%程度以下とすることができ、190W程度以上とすることにより変化率8%程度以下とすることができ、250W程度以上とすることにより変化率5%程度以下とすることができる。

#### 【0032】

また、比較のため、下部電極の温度を20℃とし、RIEモードでのアッシング、電源2のプラズマ生成用RFパワーを1000Wに設定し、電源6のウエハへのイオン引き込みエネルギーを制御するRFパワーを印加しなかった場合のFT-IR波形を測定した。その結果を図4（太線）に示す。なおアッシング処理をする前の同じ層間絶縁膜のFT-IR波形を図4（破線）に併せて示す。

#### 【0033】

図4によれば、下部電極を20℃に低減することにより、後述するように、250℃の高温でのアッシングによって生じる波長3500Å付近に現れるH-OH結合の強度0.0349を0.0222と、2/3程度に低減することができ、誘電率の上昇を抑制することができる。

#### 【0034】

一方、図5に示したように、外周にプラズマ生成用コイル1が設けられた真空チャンバー5と、真空チャンバー5内の下方に形成された下部電極3と、これらプラズマ生成用コイル1及び真空チャンバー5に電圧を印加するための電源2と、下部電極3の温度を制御するためのチラー7とから構成され、下部電極3に電圧を印加するための電源6が設けられていないダウンフロー型のアッシング装置を用いて、上記と同様の層間絶縁膜を、下部電極の温度を250℃とし、電源2のプラズマ生成用RFパワーを1000Wに設定してアッシングした。このアッシングによってレジストがほぼ完全に除去された後の層間絶縁膜場合のFT-IR波形を測定した。その結果を図6（太線）に示す。なおアッシング処理をする前の同じ層間絶縁膜のFT-IR波形を図6（破線）に併せて示す。

#### 【0035】

図6によれば、処理前の波形では、誘電率の低減に関与する波長3000Å付近にC-H結合、2300Å付近にSi-H結合、1300Å付近にSi-C結

合が現れているが、処理後ではそれらの波長がすべて減少しており、その反面、誘電率上昇に関与する 3 5 0 0 Å 付近に H-OH 結合が顕著に現れており、膜質が変化していることが分かる。これは、下部電極に独立に R F 電力を印加することができなかったため、誘電率の上昇を抑制するのに必要なイオンのエネルギーが制御することができなかったためと考えられる。

## 【 0 0 3 6 】

## 【発明の効果】

本発明によれば、絶縁膜を介して形成されたレジストマスクを有する基板をアッシング装置のチャンバ内に保持し、R F 電力を印加してチャンバー内に導入した酸素原子を含有するガスを活性化させるとともに、前記基板側に R F 電力を印加して前記レジストマスクのアッシングを行うため、アッシングに起因する絶縁膜の誘電率の上昇を抑制することができ、配線間容量の増大による信号遅延を抑制でき、デバイス性能を向上させることができる。

## 【 0 0 3 7 】

特に、基板側に印加される R F 電力 ( $W_b$ ) を一定以上に制御するか、また、酸素原子を含有するガスを活性化するための R F 電力 ( $W_s$ ) と基板側に印加される R F 電力 ( $W_b$ ) との比 ( $W_s / W_b$ ) を一定以下に制御することにより、さらに、基板が電極上に保持され、かつこの電極を 2 0 °C 程度以下に設定することにより、より有効にアッシングに起因する絶縁膜の誘電率の上昇を抑制することができる。よって、例えば、低誘電率膜を絶縁膜として採用した半導体装置におけるホール又はダマシントレンチ工程でのホールエッチ後又はダマシントレンチの溝加工後のマスクレジストのアッシングに起因する絶縁膜の膜質の変化を防止し、ひいては絶縁膜の誘電率変化を低減することが可能となる。

## 【図面の簡単な説明】

【図 1】 本発明のアッシング方法に使用するアッシング装置の要部の概略断面図である。

【図 2】 本発明のアッシング方法を行う前後の層間絶縁膜の F T - I R 波形を示す図である。

【図 3】 本発明のアッシング方法においてバイアスパワーを変化させた場

合の層間絶縁膜の誘電率の変化を示すグラフである。

【図 4】 バイアスパワーを印加せずにレジストをアッシングした場合の層間絶縁膜の F T - I R 波形を示す図である。

【図 5】 従来のアッシング方法に使用するアッシング装置の要部の概略断面図である。

【図 6】 従来のアッシング装置を用いてアッシングを行う前後の層間絶縁膜の F T - I R 波形を示す図である。

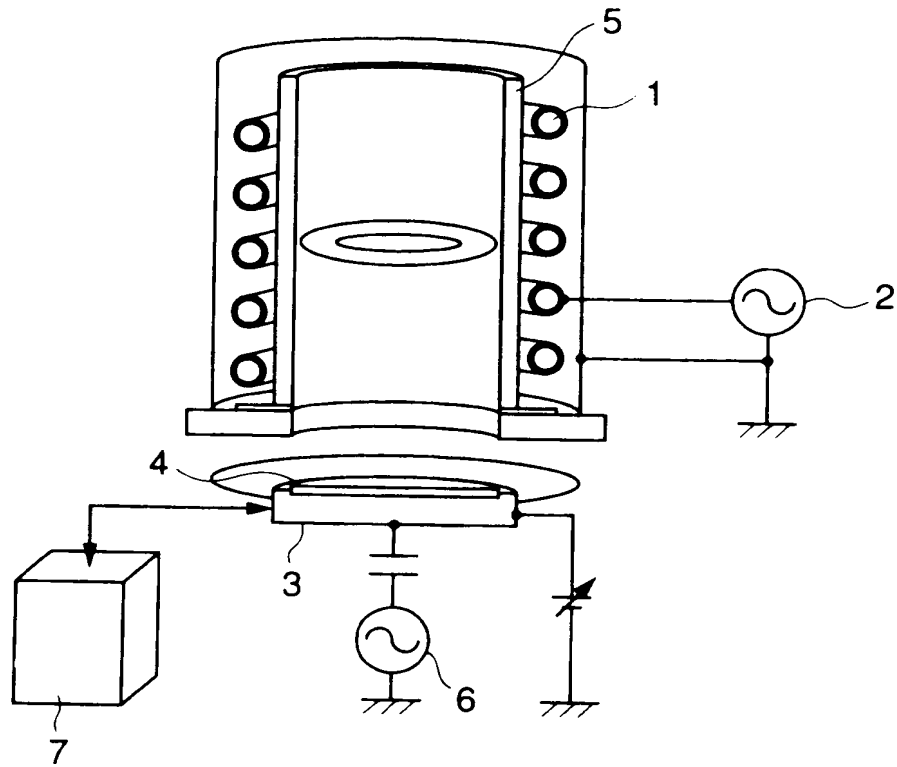
【符号の説明】

- 1 プラズマ生成用コイル
- 2、6 電源
- 3 下部電極
- 4 ウェハ
- 5 真空チャンバー
- 7 チラー

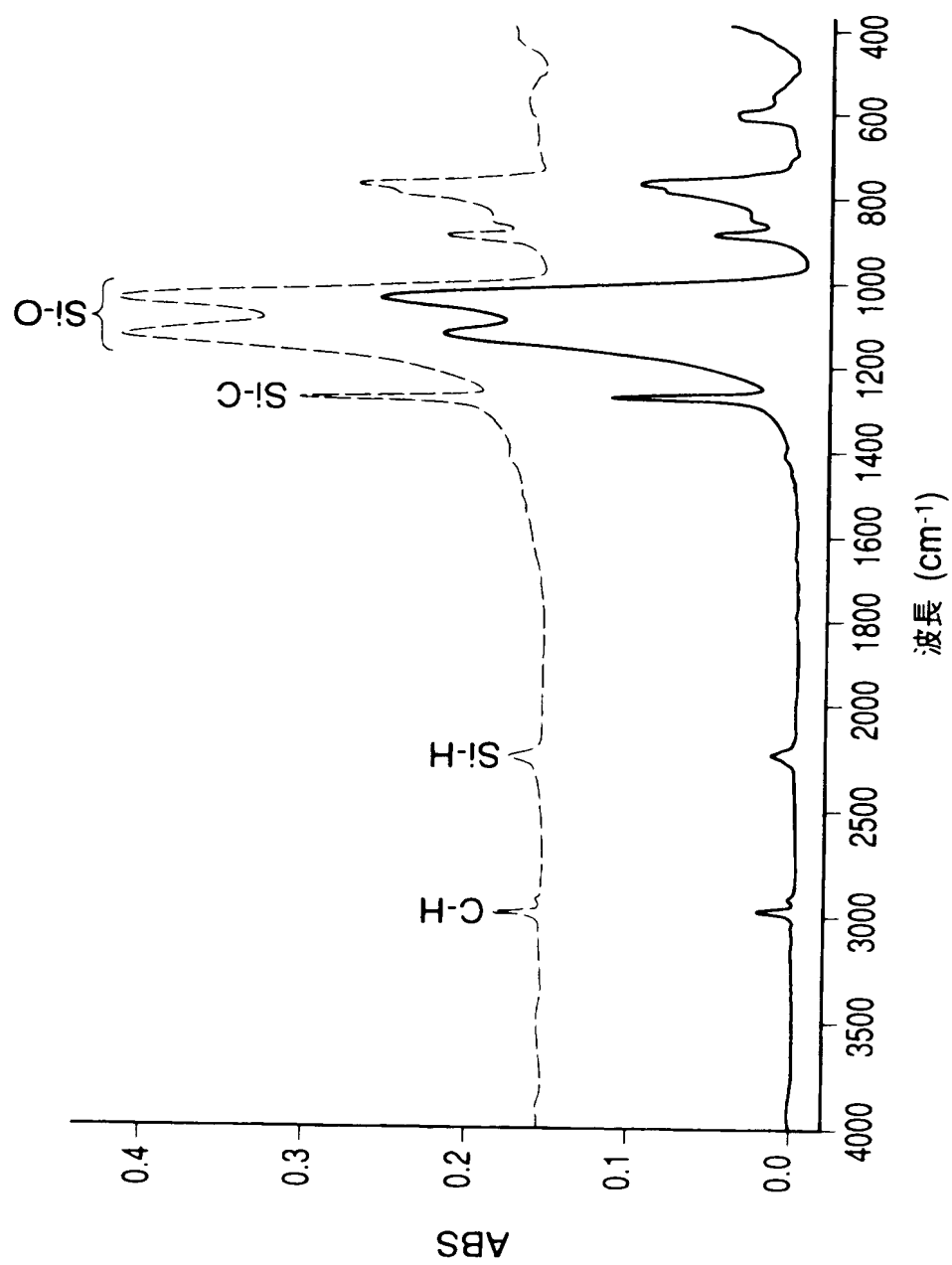
【書類名】

凶面

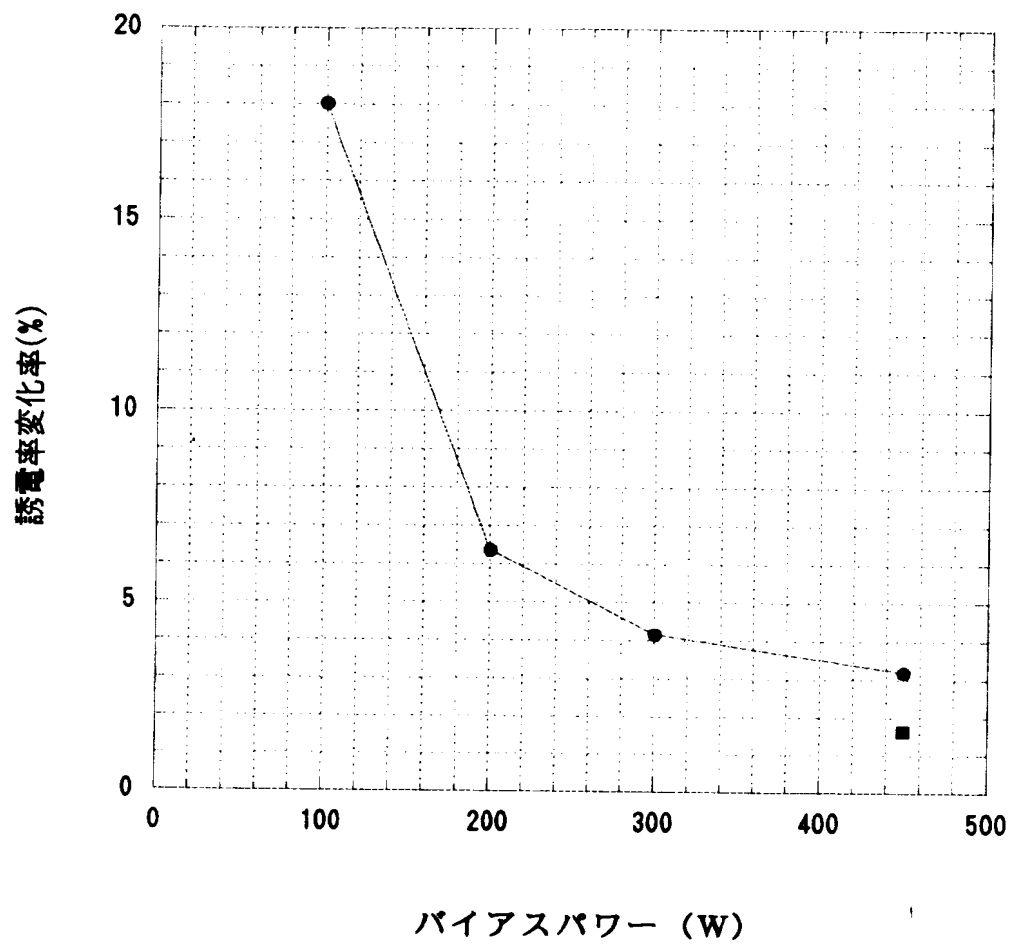
【図 1】



【図 2】

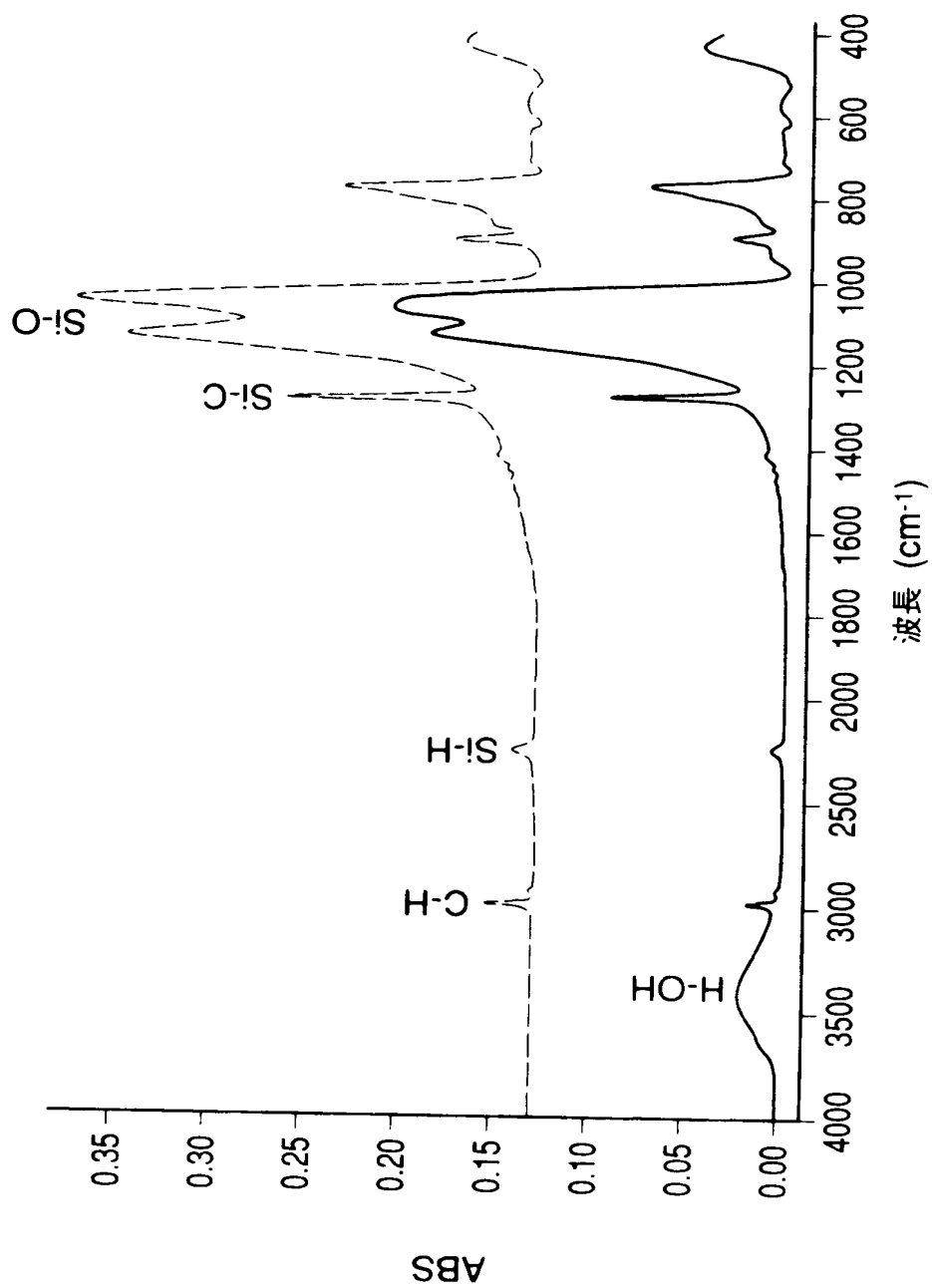


【図 3】

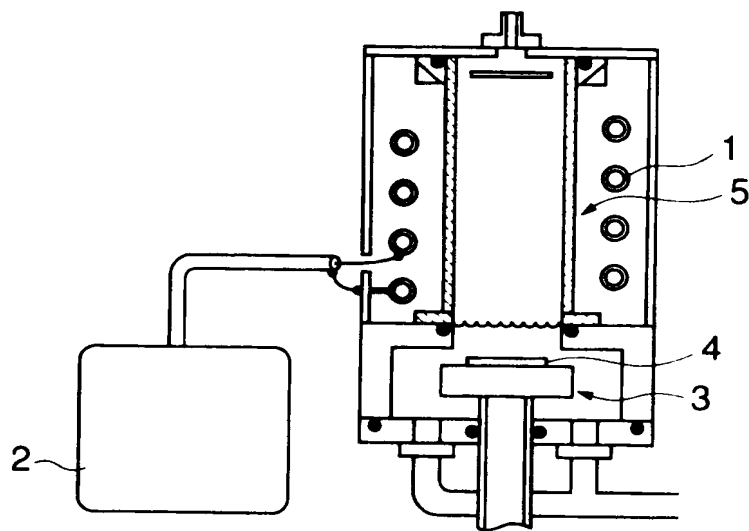




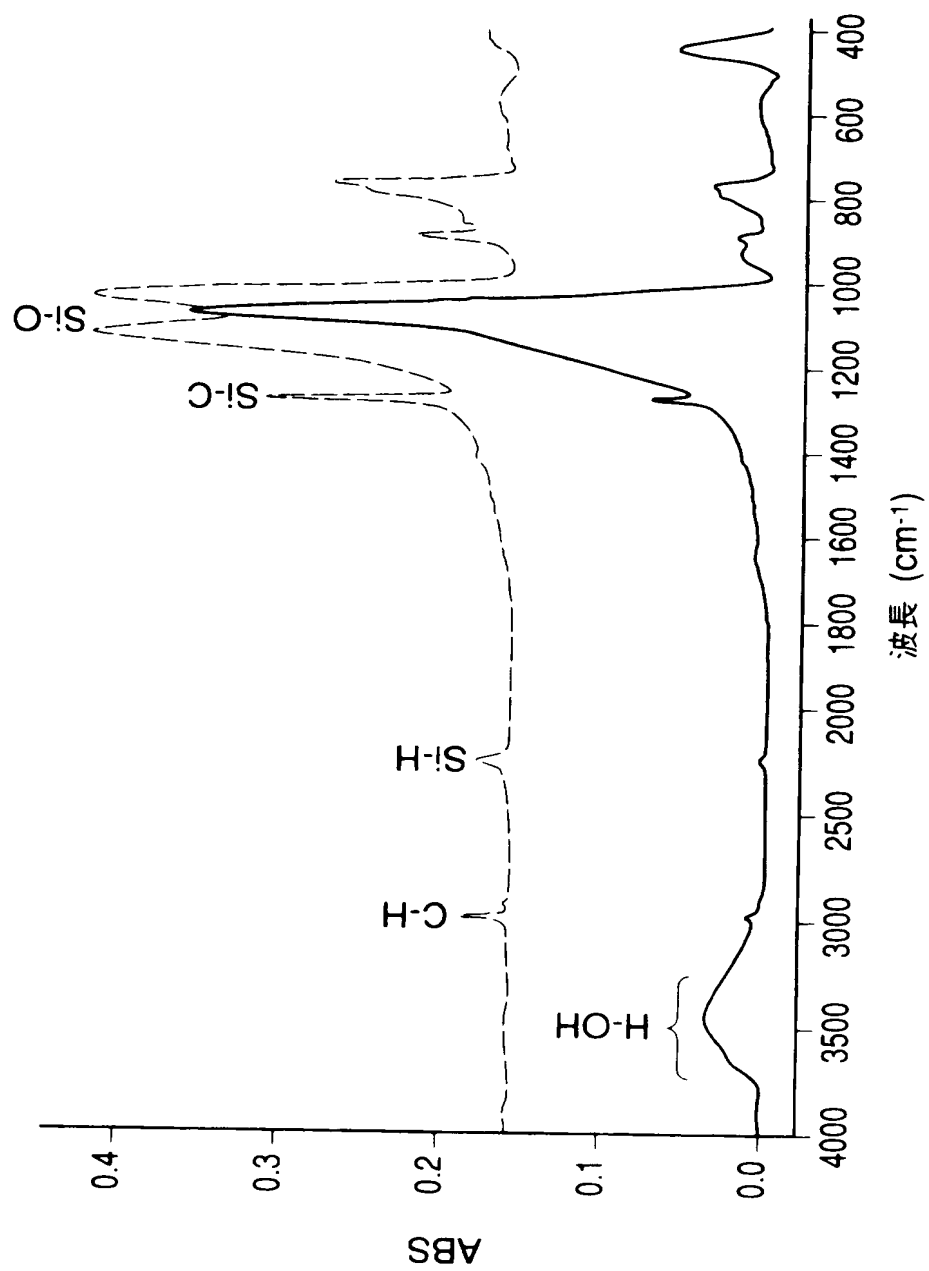
【図 4】



【図 5】



【図6】



【書類名】 要約書

【要約】

【課題】 製造コストの増大を招くことなく、低誘電率膜の誘電率の上昇を効率的に抑制することができるアッシング方法を提供することを目的とする。

【解決手段】 絶縁膜を介して形成されたレジストマスクを有する基板をアッシング装置のチャンバ内に保持し、R F 電力を印加してチャンバー内に導入した酸素原子を含有するガスを活性化させるとともに、前記基板側に R F 電力を印加して前記レジストマスクのアッシングを行うアッシング方法。

【選択図】 なし

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区长池町 2 2 番 2 2 号
氏 名	シャープ株式会社